

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000137059
PUBLICATION DATE : 16-05-00

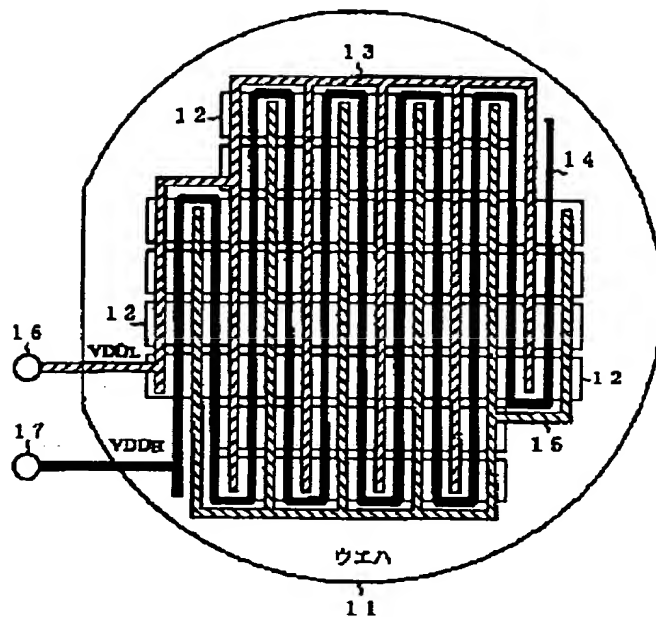
APPLICATION DATE : 02-11-98
APPLICATION NUMBER : 10312344

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : KITAGUCHI TORU;

INT.CL. : G01R 31/28 H01L 21/66 H01L 27/04
H01L 21/822

TITLE : SEMICONDUCTOR TEST DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To quickly complete the test of the whole DUT by executing inner test by a test executing means (BIST) built in respective semiconductor devices, and housing the result in non-volatile memory (PROM).

SOLUTION: Power supply wires 13, 14 and a ground wire 15 are wired. A low voltage power supply 16 connected to one end of the power supply wire 13 impresses low voltage VDDL on the BIST of the whole DUT 12 and a semiconductor memory device 21, a high voltage power supply 17 connected to one end of the power supply wire 14 impresses high voltage VDDH on the PROM of the whole DUT 12. Then the BIST is started, a test starting circuit outputs a test signal to the semiconductor memory device, and outputs data corresponding to the test signal to a comparison circuit to compare it with an expected value. In the case of conforming to the expected value, H, and in the case of not conforming, L, are respectively housed in the PROM. When the housed value of the PROM is H, the DUT 12 is judged to be an excellent article, and in the case of L, the DUT 12 is judged to be a defective article.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-137059

(P2000-137059A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

G 0 1 R 31/28

G 0 1 R 31/28

V 2 G 0 3 2

H 0 1 L 21/66

H 0 1 L 21/66

A 4 M 1 0 6

27/04

27/04

F 5 F 0 3 8

21/822

T

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平10-312344

(22) 出願日

平成10年11月2日 (1998.11.2)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 松尾 政明

長崎県諫早市貝津町1830番地25 イサハヤ

電子株式会社内

(72) 発明者 中島 三智雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

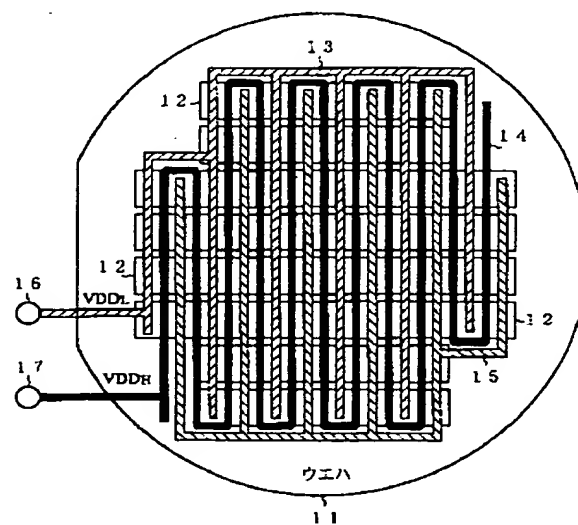
最終頁に続く

(54) 【発明の名称】 半導体テスト装置

(57) 【要約】

【課題】 各DUT2毎にテスト信号を入力して、テストを実行しなければならず、ウエハ1に搭載されるDUT2の数が増加すると、全DUT2のテストを完了するまでに長時間を費やす必要があるなどの課題があった。

【解決手段】 各DUT12に内蔵されたBIST18が内部テストを実行し、そのテスト結果をPROM22に格納する。



12: DUT (半導体装置)
13, 14: 電源線 (電力供給手段)
15: グランド線 (電力供給手段)
16: 低電圧電源 (電力供給手段)
17: 高電圧電源 (電力供給手段)

【特許請求の範囲】

【請求項1】 ウエハに搭載された複数の半導体装置に電力を供給する電力供給手段と、複数の半導体装置に内蔵され、上記電力供給手段から電力を受けると内部テストを実行するテスト実行手段と、複数の半導体装置に内蔵され、上記テスト実行手段のテスト結果を格納する不揮発性メモリとを備えた半導体テスト装置。

【請求項2】 不揮発性メモリに格納されたテスト結果を参照して、各半導体装置の良否を判定する判定手段を設けたことを特徴とする請求項1記載の半導体テスト装置。

【請求項3】 電力供給手段から電力を受けると、テスト信号を出力するテスト起動回路と、上記テスト起動回路からテスト信号を受けると、そのテスト信号に対応するデータを出力する半導体記憶装置と、上記半導体記憶装置から出力されたデータを期待値と比較する比較回路とを用いて、テスト実行手段を構成することを特徴とする請求項1または請求項2記載の半導体テスト装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ウエハに搭載された複数の半導体装置の良否を判定する半導体テスト装置に関するものである。

【0002】

【従来の技術】図6は従来の半導体テスト装置のテスト方法を説明する説明図であり、図において、1はウエハ、2はウエハ1に搭載された半導体装置（以下、DUTという）、3はDUT2の入力端子に接続されたテスト用針、4はDUT2の出力端子に接続されたテスト用針である。

【0003】次に動作について説明する。ウエハ1に搭載されたDUT2を製品出荷するに際し、各DUT2の動作をテストして、良否を判定する必要がある。

【0004】近年は、ウエハ1に搭載されたDUT2をアセンブリせず、ウエハ状態で製品出荷する場合が多く、この場合には、DUT2がウエハ1に搭載された状態で動作をテストする必要がある。

【0005】DUT2のテストは、図示せぬ外部テストが下記に示すように、各DUT毎にテストを実行する。即ち、外部テストは、各DUT2の入力端子に接続されたテスト用針3からテスト信号を入力して、各DUT2の出力端子に接続されたテスト用針4からデータを受け取り、そのデータが期待値と一致するか否かを判定する。そして、そのデータが期待値と一致する場合には、DUT2が良品であると判定し、そのデータが期待値と一致しない場合には、DUT2が不良品であると判定する。

【0006】なお、上記従来例の他に、ウエハに搭載された複数のDUTを順番にテストする技術が特開平8-170977号公報に開示されているが、複数のDUT

について同時にテストを実行するものではない。また、不良品と認められたDUTの数が不良素子計数回路に格納されるが、試験装置の電源を落とすと、不良素子計数回路の格納値はリセットされるため、他の試験実行後に（例えば、アセンブリやバーンインの実行後）、再度、テスト結果を確認することはできない。

【0007】

【発明が解決しようとする課題】従来の半導体テスト装置は以上のように構成されているので、各DUT2毎にテスト信号を入力して、テストを実行しなければならず、ウエハ1に搭載されるDUT2の数が増加すると、全DUT2のテストを完了するまでに長時間を要する必要があるなどの課題があった。

【0008】この発明は上記のような課題を解決するためになされたもので、ウエハに搭載されるDUTの数が増加しても、全DUTのテストを速やかに完了することができる半導体テスト装置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る半導体テスト装置は、複数の半導体装置に内蔵されたテスト実行手段が内部テストを実行して、そのテスト結果を不揮発性メモリに格納するようにしたものである。

【0010】この発明に係る半導体テスト装置は、不揮発性メモリに格納されたテスト結果を参照して、各半導体装置の良否を判定するようにしたものである。

【0011】この発明に係る半導体テスト装置は、電力供給手段から電力を受けると、テスト信号を出力するテスト起動回路と、そのテスト起動回路からテスト信号を受けると、そのテスト信号に対応するデータを出力する半導体記憶装置と、その半導体記憶装置から出力されたデータを期待値と比較する比較回路とを用いて、テスト実行手段を構成するようにしたものである。

【0012】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による半導体テスト装置のテスト方法を説明する説明図であり、図2は半導体装置の詳細構成を示す構成図である。図において、11はウエハ、12はウエハ11に搭載された半導体装置（以下、DUTという）、13、14はウエハ11に配線された電源線（電力供給手段）、15はウエハ11に配線されたグランド線（電力供給手段）、16はウエハ11に搭載された全DUT12に低電圧VDD_Lを印加する低電圧電源（電力供給手段）、17はウエハ11に搭載された全DUT12に高電圧VDD_Hを印加する高電圧電源（電力供給手段）である。

【0013】18は低電圧電源16が低電圧VDD_Lを印加すると、内部テストを実行するBIST（テスト実行手段）、19は低電圧電源16が低電圧VDD_Lを印加すると、テスト信号を出力するテスト起動回路（テス

ト実行手段)、20は半導体記憶装置21から出力されたデータを期待値と比較する比較回路(テスト実行手段)、21はテスト起動回路19からテスト信号を受けると、そのテスト信号に対応するデータを出力する半導体記憶装置(テスト実行手段)、22は比較回路20の比較結果(テスト結果)を格納するPROM(不揮発性メモリ)、23はPROM22に格納されたテスト結果を参照して、各DUT12の良否を判定するテスト(判定手段)である。

【0014】次に動作について説明する。ウエハ11に搭載された状態で、DUT12の動作をテストする場合、図1に示すように、既存の技術を使用して、ウエハ11の保護膜上に電源線13、14と、グランド線15を配線する。

【0015】そして、電源線13、14とグランド線15の配線が完了すると、電源線13の一端に接続された低電圧電源16が、低電圧 VDD_L を全DUT12のBIST(Built In Self Test)18と半導体記憶装置21に印加し、電源線14の一端に接続された高電圧電源17が、高電圧 VDD_H を全DUT12のPROM22に印加する。

【0016】これにより、BIST18が起動し、BIST18のテスト起動回路19が、テスト信号を半導体記憶装置21に出力する。そして、半導体記憶装置21は、BIST18のテスト起動回路19からテスト信号を受けると、そのテスト信号に対応するデータをBIST18の比較回路20に出力する。例えば、テスト信号が“HLH”であれば、“LHLHL”のデータを出力し、“LHL”であれば、“HLHLH”のデータを出力する。

【0017】そして、BIST18の比較回路20は、半導体記憶装置21からデータを受けると、そのデータを期待値と比較する。例えば、テスト起動回路19が“HLH”のテスト信号を出力した場合には、“LHLHL”を期待値とする。

【0018】そして、BIST18の比較回路20は、半導体記憶装置21から受けたデータが期待値と一致する場合には、その比較結果として“H”をPROM22に格納し、そのデータが期待値と一致しない場合には、その比較結果として“L”をPROM22に格納する。

【0019】このようにして、BIST18の比較回路20が比較結果をPROM22に格納すると、テスト23は、各DUT12に内蔵されているPROM22の格納値を取得し、PROM22の格納値が“H”であれば、当該DUT12は良品であると判定し、PROM22の格納値が“L”であれば、当該DUT12は不良品であると判定する。

【0020】なお、PROM22に対する比較結果(テスト結果)の格納は、全DUT12が同時に実行するのに対し、テスト23における良否の判定は、各DUT1

2毎に順番に実行することになるが、従来のものと異なり、テスト23が良否を判定するに際し、テスト信号の入力等は不要であり、単にPROM22の格納値を参照すれば足りるので、各DUT12毎に順番に実行するようにしても、速やかに判定することができる。

【0021】以上で明らかなように、この実施の形態1によれば、各DUT12に内蔵されたBIST18が内部テストを実行するように構成したので、全DUT12のテストを同時に実行することができるようになり、その結果、ウエハ11に搭載されるDUT12の数が増加しても、全DUT12のテストを速やかに完了することができる効果を奏する。また、BIST18のテスト結果をPROM22に格納するように構成したので、PROM22に対する高電圧 VDD_H の印加を中断しても、全DUT12のテスト結果を保存することができる効果を奏する。

【0022】実施の形態2。上記実施の形態1では、BIST18の比較回路20が比較結果をPROM22に格納後(図3のステップST2)、テスト23が直ちにDUT12の良否を判定するものについて示したが(図3のステップST3)、上述したように、PROM22に対する高電圧 VDD_H の印加を中断しても、全DUT12のテスト結果を保存することができるので、既存の技術を使用して、ウエハ11に配線された電源線13、14とグランド線15を除去した後、テスト23がDUT12の良否を判定するようにしてもよい。

【0023】これにより、全DUT12のテストを実行後、直ちにDUT12の良否を判定するのではなく、BIST18の比較回路20が比較結果をPROM22に格納した後(図4のステップST2)、バーンインを実行したり(図4のステップST1)、DUT12をアセンブリした後(図4のステップST4)、テスト23がDUT12の良否を判定することもできる(図4のステップST3)。したがって、アセンブリやバーンインの実行によって、DUT12が故障した場合、アセンブリやバーンインが原因で故障したのか、元々不良品であるのかを判別することができる。

【0024】実施の形態3。上記実施の形態1および実施の形態2では、全DUT12を同時にテストするものについて示したが、全DUT12を同時にテストする場合、1個のDUT12において、電源線13、14とグランド線15がショートすると、全DUT12が故障するおそれがある。

【0025】そこで、この実施の形態3では、図5に示すように、1個のDUT12において、電源線13、14とグランド線15がショートして、電源線13、14とグランド線15間に過大電流が流れると切断されるヒューズを配置して、全DUT12が故障する事態を回避するようにしている。

【0026】

【発明の効果】以上のように、この発明によれば、複数の半導体装置に内蔵されたテスト実行手段が内部テストを実行するように構成したので、全半導体装置のテストを同時に実行することができるようになり、その結果、ウエハに搭載される半導体装置の数が増加しても、全半導体装置のテストを速やかに完了することができる効果がある。また、テスト実行手段のテスト結果を不揮発性メモリに格納するように構成したので、不揮発性メモリに対する高電圧の印加を中断しても、全半導体装置のテスト結果を保存することができるようになり、その結果、半導体装置のバーンインを実行したり、アセンブリをした後、半導体装置の良否を判定することができる効果もある。

【0027】この発明によれば、不揮発性メモリに格納されたテスト結果を参照して、各半導体装置の良否を判定するように構成したので、不揮発性メモリの格納値を書き換えない限り、何時でも半導体装置の良否を判定することができる効果がある。

【0028】この発明によれば、電力供給手段から電力を受けると、テスト信号を出力するテスト起動回路と、そのテスト起動回路からテスト信号を受けると、そのテスト信号に対応するデータを出力する半導体記憶装置と、その半導体記憶装置から出力されたデータを期待値と比較する比較回路とを用いて、テスト実行手段を構成

するようにしたので、複雑な回路を半導体装置に搭載することなく、全半導体装置のテストを同時に実行することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体テスト装置のテスト方法を説明する説明図である。

【図2】 半導体装置の詳細構成を示す構成図である。

【図3】 各種テストの流れを説明するフローチャートである。

【図4】 各種テストの流れを説明するフローチャートである。

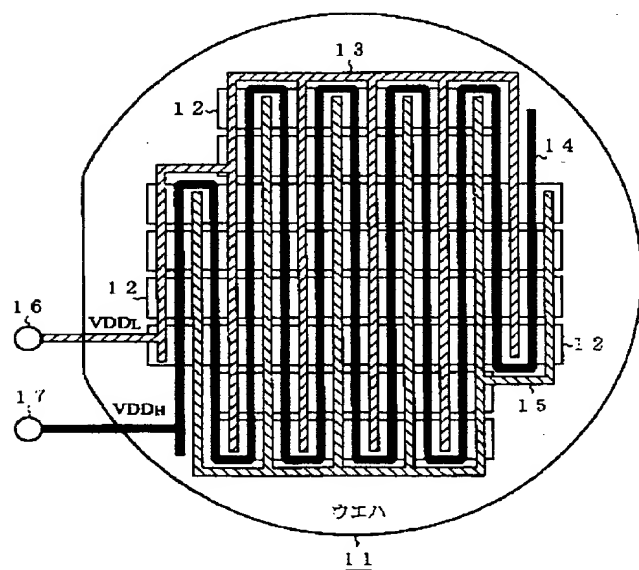
【図5】 半導体装置における電源線等の配線状況を示す回路図である。

【図6】 従来の半導体テスト装置のテスト方法を説明する説明図である。

【符号の説明】

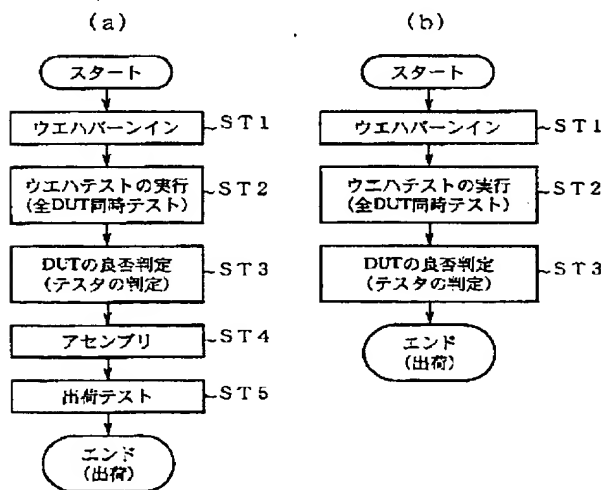
11 ウエハ、12 DUT（半導体装置）、13、14 電源線（電力供給手段）、15 グランド線（電力供給手段）、16 低電圧電源（電力供給手段）、17 高電圧電源（電力供給手段）、18 BIST（テスト実行手段）、19 テスト起動回路（テスト実行手段）、20 比較回路（テスト実行手段）、21 半導体記憶装置（テスト実行手段）、22 PROM（不揮発性メモリ）、23 テスタ（判定手段）。

【図1】

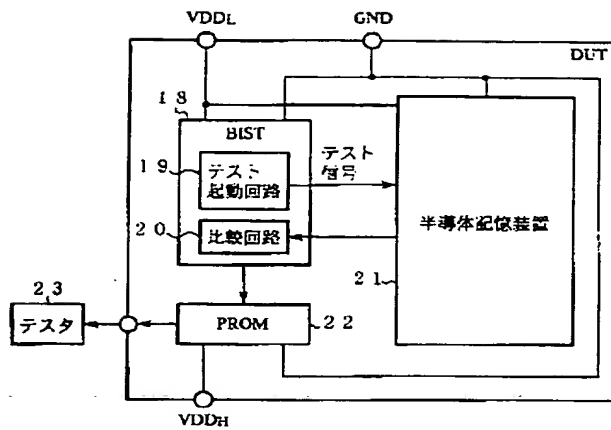


- 12 : DUT (半導体装置)
13、14 : 電源線 (電力供給手段)
15 : グランド線 (電力供給手段)
16 : 低電圧電源 (電力供給手段)
17 : 高電圧電源 (電力供給手段)

【図3】

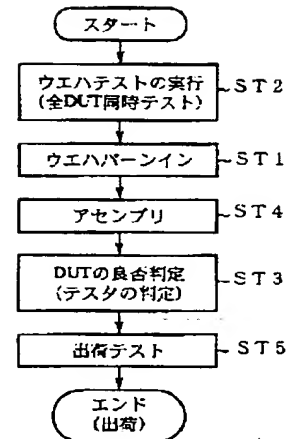


【図2】

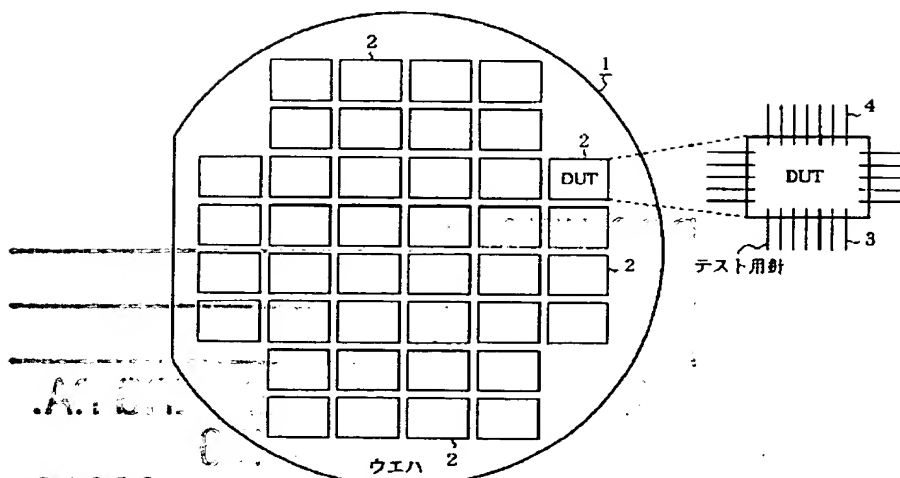


- 18: BIST (テスト実行手段)
- 19: テスト起動回路 (テスト実行手段)
- 20: 比較回路 (テスト実行手段)
- 21: 半導体記憶装置 (テスト実行手段)
- 22: PROM (不揮発性メモリ)
- 23: テスタ (判定手段)

【図4】



【図6】

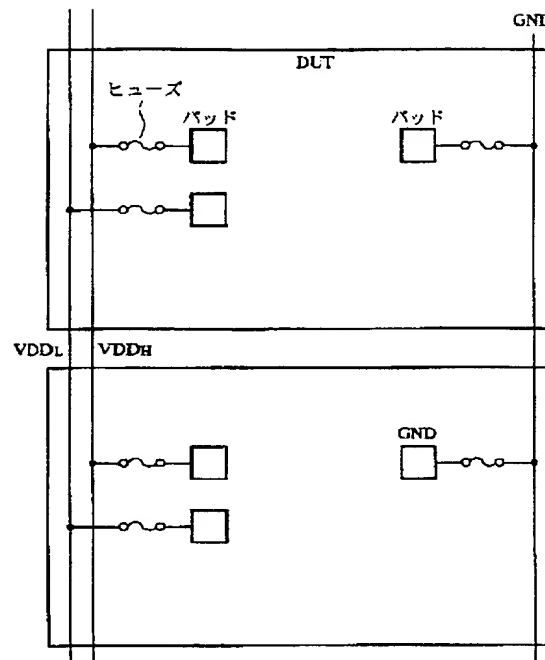


AA: 211

SS038

011-012 (P2000-13:JL8

【図5】



フロントページの続き

(72)発明者 山下 武一
長崎県諫早市貝津町1830番地25 イサハヤ
電子株式会社内
(72)発明者 藤井 信行
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 斎藤 剛
長崎県諫早市貝津町1830番地25 イサハヤ
電子株式会社内

(72)発明者 北口 亨
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
Fターム(参考) 2G032 AA00 AB02 AC03 AD05 AE08
AE10 AE12 AG02 AK11
4M106 AA01 AC02 AC07 BA20 DA20
DJ18 DJ21
5F038 DF05 DT08 EZ20

DOCKET NO: J&R-0694
SERIAL NO: 09/922,479
APPLICANT: Zettler
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100